

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-198165

(43) 公開日 平成5年(1993)8月6日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
G 1 1 C 11/401 11/407		6628-5L 6628-5L	G 1 1 C 11/34	3 7 1 G 3 5 4 F

審査請求 未請求 請求項の数9(全19頁)

(21) 出願番号	特願平4-286603	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成4年(1992)10月1日	(72) 発明者	武隈 俊次 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
(31) 優先権主張番号	特願平3-327033	(72) 発明者	荒川 亘 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
(32) 優先日	平3(1991)11月15日	(72) 発明者	尋木 正紀 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 徳若 光政

最終頁に続く

(54) 【発明の名称】 ダイナミック型RAM

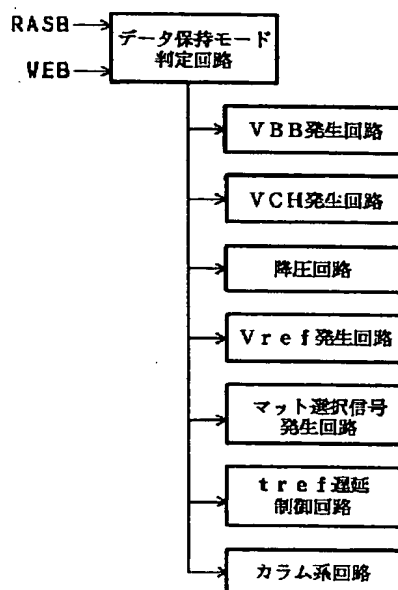
(57) 【要約】

【目的】 情報保持動作だけを目的として低消費電力化を図ったデータ保持モードを備えたダイナミック型RAMを提供する。

【構成】 メモリセルの情報保持動作が維持できる範囲で降圧電圧や昇圧電圧及び基板電圧等の電圧発生回路の電流供給機能を制限すること及び／又は通常のリード／ライトモード及びリフレッシュモードのときに選択されるメモリマット数に対して選択マット数を多くする。

【効果】 電圧発生回路での電流供給能力の制限すること及び選択マット数の増加によって、周辺回路の動作回数を実質的に減らせることから低消費電力化を実現できる。

図12



【特許請求の範囲】

【請求項1】 外部から供給された電源電圧を受け内部回路の動作電圧を形成する降圧回路の動作電流を遮断させ、これに代えてスイッチ素子を通して外部から供給される電源電圧を内部回路に供給してなるデータ保持モードを備えてなることを特徴とするダイナミック型RAM。

【請求項2】 上記降圧回路は、基準電圧発生回路とその基準電圧を受けて電力増幅を行うリミッタ出力バッファからなり、データ保持モードのときには上記基準電圧発生回路及びリミッタ出力バッファの動作が停止させられるものであることを特徴とする請求項1のダイナミック型RAM。

【請求項3】 通常のリード/ライトモード及びリフレッシュモードのときに選択されるメモリマツト数に対して選択マツト数が多くされてなるデータ保持モード及び/又はディスタブテストモードを備えてなることを特徴とするダイナミック型RAM。

【請求項4】 動作と待機用のチャージポンプ回路を備え、動作用のチャージポンプ回路の動作が停止させられるとともに待機用のチャージポンプ回路に入力される入力パルスの周期が長くされてなるデータ保持モードを備えてなることを特徴とするダイナミック型RAM。

【請求項5】 内部回路の動作電圧を受けてそれ以上に高くされた昇圧電圧を発生させる動作と待機用の昇圧回路を備え、動作用の昇圧回路の動作が停止させられるとともに待機用の昇圧回路に入力される入力パルスの周期が長くされてなるデータ保持モードを備えてなることを特徴とするダイナミック型RAM。

【請求項6】 上記動作用の昇圧回路は、メモリアクセスがあったとき又は昇圧電圧が所望の電圧以下に低下したときに動作させられる発振回路及び昇圧回路からなるものであることを特徴とする請求項5のダイナミック型RAM。

【請求項7】 内部回路により形成された周期的なパルスに従いリフレッシュ周期が長くされてなるデータ保持モードを備えてなることを特徴とするダイナミック型RAM。

【請求項8】 上記請求項1、請求項3、請求項4、請求項5及び請求項7のデータ保持モードのうち、いずれか複数が組み合わされてなるデータ保持モードを備えてなることを特徴とするダイナミック型RAM。

【請求項9】 上記データ保持モードの設定は、通常動作及びリフレッシュモードの設定とは異なるアドレスストロブ信号と制御信号との組み合わせにより設定されるものであり、その解除はロウアドレスストロブ信号に先立ってカラムアドレスストロブ信号をアクティブレベルにすることにより行われるリフレッシュ動作を利用するものであることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項

7又は請求項8のダイナミック型RAM。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、ダイナミック型RAM（ランダム・アクセス・メモリ）に関し、例えば情報保持動作のみを目的とした低消費電力モードを備えたものに利用して有効な技術に関するものである。

【0002】

【従来の技術】 ダイナミック型RAMにおける動作モードとしては、通常の書き込み/読み出モード、テストモード及びリフレッシュモードである。ダイナミック型RAMを用いたメモリシステムの低消費電力化のために、バッテリーバックアップ等のような低消費電力モードが提案されている。このようなバッテリーバックアップモードに関しては、例えば電子通信学会技術研究報告ED-90-78がある。

【0003】

【発明が解決しようとする課題】 本願発明者等においては、ダイナミック型RAMにおける情報保持動作のみを限定したデータ保持モード等を想定して内部回路の見直しを行った。

【0004】 この発明の目的は、情報保持動作だけを目的として低消費電力化を図ったデータ保持モードを備えたダイナミック型RAMを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、メモリセルの情報保持動作が維持できる範囲で降圧電圧や昇圧電圧及び基板電圧等の電圧発生回路の電流供給機能を制限すること及び/又は通常のリード/ライトモード及びリフレッシュモードのときに選択されるメモリマツト数に対して選択マツト数を多くする。

【0006】

【作用】 上記した手段によれば、電圧発生回路での電流供給能力の制限すること及び選択マツト数の増加によって、周辺回路の動作回数を実質的に減らせることから低消費電力化を実現できる。

【0007】

【実施例】 図1には、この発明に係るダイナミック型RAM（以下、単にDRAMという場合がある。）における一実施例の機能ブロック図が示されている。この実施例のDRAMは、読み出し動作（READ）と書き込み動作（WRITE）とからなるアクセスモードを持つ。このアクセスモードは、周知のダイナミック型RAMにおけるアクセス方法と同様にロウアドレスストロブ信号RASBに同期してロウ系のアドレス信号を入力し、引き続いてカラムアドレスストロブ信号CASBに同

期してカラム系のアドレス信号を入力してメモリセルのアドレス選択を行わせる。そして、書き込み動作ならライトイネーブル信号WEBをロウレベルにし、読み出し動作ならライトイネーブル信号WEBをハイレベルにする。なお、ライトイネーブル信号WEBをCASBに先行してロウレベルにすることより実行されるアーリイライツサイクルもある。

【0008】本願明細書においては、RASBやCASB及びWEB等のようにアルファベットの文字の最後にBが付された信号は、ロウレベルがアクティブレベルであることを意味するものであることに注意されたい。

【0009】テストモードは、主にDRAMの製造時や出荷時における動作チェックに利用される。このテストモードは、ロウアドレスストローブ信号RASBに先立ってライトイネーブル信号WEB及びカラムアドレスストローブ信号CASBをロウレベルにするというWCBRモードにより行われる。

【0010】DRAMは、周知のようにアドレス選択用MOSFETと情報記憶用キャパシタからなるメモリセルを用い、情報記憶用キャパシタに情報電荷が有るか無いかにより論理1と0に対応した情報保持を行うものである。アドレス選択用MOSFETにおけるドレインリーク電流等によって、情報記憶用キャパシタに保持された情報電荷は、時間の経過とともに失われてしまう。そこで、DRAMでは、メモリセルの記憶電荷が失われる前に読み出して、それを増幅してもとのメモリセルに書き込むというリフレッシュモードを持つ。

【0011】このリフレッシュモードとしては、ロウアドレスストローブ信号RASBに先立ってカラムアドレスストローブ信号CASBをロウレベルにするというCBRRリフレッシュと、ロウアドレスストローブ信号RASBをロウレベルにすることにより行われるRASオンリーリフレッシュと、読み出し状態から信号RASBをリセットさせて、読み出されたデータを出力させた状態のままとしてRASBによりリフレッシュを実行するというヒデンリフレッシュがある。なお、上記のリフレッシュモードのうち、RASオンリーリフレッシュ機能は、以下に説明するように必ずしも必要とされない場合がある。

【0012】この実施例のDRAMは、以上のようなモードの以外の特種モードの1つとしてデータ保持モードが設けられる。このデータ保持モードは、後述するようにメモリセルのデータ保持動作のみを考慮して、可能な限りの動作電流を削減するための低消費電力モードである。このため、内部回路のうちメモリセルのデータ保持動作に必要でないと思われる回路は、データ保持動作のためのリフレッシュ動作の最中に置いても非活性化状態、言い換えるならば、動作電流が流れない状態に置かれる。

【0013】図2には、上記データ保持モードを設定す

るための一実施例の動作タイミング図が示されている。この実施例では、DRAMのリフレッシュのうちRASオンリーリフレッシュ機能が削除される。すなわち、RASオンリーリフレッシュ動作は、ロウ系の内部回路を動作させメモリセルのリフレッシュ動作を行うものであり、そのためには外部からリフレッシュを行うワード線に対応したアドレス信号の入力を必要とするので、外部にリフレッシュアドレスを発生させるアドレス発生回路が必要になる。これに対して、CBRRリフレッシュ動作では、内部でアドレスを発生させるので外部回路が大幅に簡略化できる。それ故、現在から将来にかけてみるとRASオンリーリフレッシュの必要性は無いといっても過言ではない。

【0014】そこで、この実施例では、上記のようにRASオンリーリフレッシュ機能を削除し、図2のようにCASB信号をハイレベルに固定した状態で、RASB信号をロウレベルにしてからハイレベルにリセットするタイミングでデータ保持モードに入るようにする。そして、このデータ保持モードは、CASB信号をロウレベルのアクティブレベルにした後にRASB信号をロウレベルにしてモードのリセット、言い換えるならば、データ保持モードの解除を行う。すなわち、この実施例では、CBRRリフレッシュにより保持モードの解除と同時にダミーのリフレッシュを実施する。このようなダミーCBRRリフレッシュの挿入によって、後述するような内部回路がデータ保持モードから通常モードに入るために必要とされる回路の初期設定が行われる。

【0015】この実施例では、RASB信号とCASB信号との組み合わせからなる極めて簡単でかつ安定で確実なデータ保持モードの設定及び解除が実現でき、そのための内部回路も簡素化できる。

【0016】図3には、上記データ保持モードを設定するための他の一実施例の動作タイミング図が示されている。この実施例では、みかけ上いったんテストモードに入る。すなわち、第1モードとして、RASB信号に先立ってWEB信号とCASB信号をロウレベルのアクティブレベルにしてWCBRモードに入り、そこでCASB信号をハイレベルにリセットしてテスト中止を指示するとともに、CASB信号をロウレベルにしてデータ保持モードに入るようにするものである。そして、特に制限されないが、モードリセットは、RASB信号とCASB信号のハイレベルへのリセットにより行われる。

【0017】この構成では、データ保持モードにおいて非活性化された内部回路の初期化のために、ダミーサイクルが必要になる。そこで、モードリセットとしては、前記のようなCBRRリフレッシュをダミーサイクルとして挿入するようにしてもよい。この構成では、DRAMがシステム実装状態ではあまり使用しないテストモードにみかけ上入り、その後のCASB信号のレベル制御によりデータ保持モードに入るので、RASB信号とCA

5

SB信号にWEB信号を組み合わせてなる簡単でかつ安定で確実なデータ保持モードの設定及び解除が実現でき、そのための内部回路も簡素化できる。また、この実施例では、RASオンリーリフレッシュ機能も残すことができ、従来のDRAMとの完全な互換性を保つことができる。

【0018】図4には、上記データ保持モードを設定するための他の一実施例の動作タイミング図が示されている。この実施例では、RASB信号に先立ってWEB信号とCASB信号をロウレベルのアクティブレベルにしておいて、RASB信号のロウレベルへの立ち下がりタイミングでアドレス信号ADDを取り込む、そのアドレス信号Zによってデータ保持モードに入る。この構成では、アドレス信号の組み合わせにより、データ保持モードの他に、他の特殊モードの設定も可能である。

【0019】半導体技術の進展により回路の微細化が可能であるので、DRAMの内部に簡単な論理演算回路を設け、例えば内部データと外部データとの論理演算を行って、その演算結果を書き込むというようなデータの加工を伴う書き込みモードや、複数ビットからなるデータのうち特定ビットだけ外部から書き換え行うようにするような書き込みモード、あるいは複数ビットからなるデータのうち特定のビットが指定されたビットと同じならそのデータを読み出すといったようなサーチ読み出しモード等のような特殊モードも併設させることができる。このように特殊モードが複数種類からなるとき、上記アドレス信号ADDの組み合わせにより、複数種類の用意された特殊モードの中から1つのモードを効率よく、かつ安定で確実に選択できる。

【0020】図5には、上記データ保持モードを設定するための他の一実施例の動作タイミング図が示されている。この実施例では、RASB信号に先立ってWEB信号とCASB信号の他に、アウトプットイネーブル信号OEBが存在する場合には、それをもロウレベルのアクティブレベルにしておいて、RASB信号のロウレベルへの立ち下がりタイミングで、これらの信号CASB、WEB及びOEBのロウレベルを判定してデータ保持モードに入る。この構成では、RASB信号とCASB信号にWEB信号及びOEB信号を組み合わせてなる簡単でかつ安定で確実なデータ保持モードの設定及び解除が実現でき、そのための内部回路も簡素化できる。

【0021】図6には、上記データ保持モードを設定するための他の一実施例の動作タイミング図が示されている。この実施例では、RASB信号CASB信号により通常モードが終了すると、直ちに内部のタイマー回路が作動する。このタイマー回路は、所定の時間Tmの計測を行う。同図では、省略されているが、上記時間Tm内に上記のような通常モード、リフレッシュモードやテストモードが実行されると、その都度リセットされ、スタンバイ状態に入ると計測動作を開始する。

6

【0022】上記時間Tmは、前記16msのようにメモリセルの情報保持時間を考慮したものではなく、メモリセルの情報保持時間に対しては、メモリセルの情報保持時間及びタイマー回路における設定時間のバラツキや温度、電源変動によるワーストケースを考慮して十分短い時間に設定される。上記設定時間Tm内にメモリセルアクセスが行われないと、内部回路は自動的にデータ保持モードに入る。そして、このデータ保持モードのリセットには、ダミーのCBRリフレッシュが実行される。

【0023】この構成では、比較的小規模のメモリシステムにあつては、マイクロコンピュータ等のデータ処理装置におけるデータ処理動作に連動して頻繁にメモリアクセスが行われることに着目し、一定の時間以上にわたってメモリアクセスが行われなるときには、データ処理装置が動作停止状態と見做して上記のように自動的にデータ保持モードに入るものである。このため、外部からは格別の動作制御を必要とすることなく低消費電力化を図ることができる。そして、データ処理装置が動作を開始したときにダミーのCBRリフレッシュを1サイクル挿入するだけでメモリアクセスを実行できるものとなる。

【0024】図7には、上記データ保持モードを設定するための他の一実施例の動作タイミング図が示されている。前記実施例のようにRASB信号CASB信号により通常モードが終了すると直ちに内部のタイマー回路を作動させて、そのタイムオーバーにより自動的にデータ保持モードに入るようにする構成では、その用途が比較的小規模のメモリシステムに限定されてしまう虞れがある。そこで、この実施例では、WEB信号を用いてタイマー出力の有効/無効を制御可能にする。例えば、信号WEBを上記時間Tm内にロウレベルにすると、タイムオーバーを有効として自動的にデータ保持モードに入るようにする。もしも、信号WEBがハイレベルのままならタイムオーバー信号を無効にして、データ保持モードには入らないで通常のスタンバイ状態のままにする。この構成では、信号WEBを組み合わせてよりきめ細かくそのメモリシステムに応じたデータ保持モードの制御が可能になる。

【0025】この実施例では、信号WEBのロウレベルを利用して、それをハイレベルにリセットさせることにより、データ保持モードを解除する。このモードリセットの後に内部回路は自動的に通常のスタンバイ状態に入り、その後に直ちに通常動作モードに入ることができるようにする。このデータ保持モードからスタンバイ状態に移行するために時間Tnの設定が必要になる。すなわち、信号WEBをハイレベルにリセットしてデータ保持モードを解除してから、時間Tn経過後に通常モードに入ることが許される。この構成に代え、前記のようなダミーのCBRリフレッシュを挿入して内部回路の初期化を行ってから通常モードに入るようにしてもよい。

7

【0026】図8には、上記データ保持モードを設定するための他の一実施例の動作タイミング図が示されている。この実施例では、前記のようなWCB Rサイクルにおいて擬似的にテストモードとし、RAS B信号をリセットさせるタイミングでWEB信号がロウレベルに維持されることを以てデータ保持モードに入るようにするものである。この場合、CAS B信号は、ハイレベルでもロウレベルでもよい。もしも、上記WEB信号がハイレベルならテストモードに入るようにする。データ保持モードの解除は、図示されていないが、前記同様なダミーCB Rリフレッシュにより行うもの他、CAS B信号をロウレベルに維持させておいて、それをハイレベルにリセットしたタイミングでモードリセットを行い、前記のような一定時間T_n経過後に通常モードに入ることが許されるようにしてもよい。

【0027】図9には、上記データ保持モードを設定するための他の一実施例の動作タイミング図が示されている。この実施例では、上記同様なWCB Rサイクルを実行し、RAS B信号をリセットさせるタイミングでCAS B信号がロウレベルに維持されることを以てデータ保持モードに入るようにするものである。この場合、WEB信号は、ハイレベルでもロウレベルでもよい。もしも、上記CAS B信号がハイレベルならテストモードに入るようにする。データ保持モードの解除は、図示されていないが、前記同様なダミーCB Rリフレッシュにより行うもの他、WEB信号をロウレベルに維持させておいて、それをハイレベルにリセットしたタイミングでモードリセットを行い、前記のような一定時間T_n経過後に通常モードに入ることが許されるようにしてもよい。

【0028】図10には、上記データ保持モードを設定するための他の一実施例の動作タイミング図が示されている。この実施例では、上記同様なWCB Rサイクルを実行し、RAS B信号をリセットさせるタイミングでCAS B信号とWEB信号が共にロウレベルに維持されることを以てデータ保持モードに入るようにするものである。データ保持モードの解除は、図示されていないが、前記同様なダミーCB Rリフレッシュにより行うもの他、CAS B信号又はWEB信号をロウレベルに維持させておいて、それをハイレベルにリセットしたタイミングでモードリセットを行い、前記のような一定時間T_n経過後に通常モードに入ることが許されるようにしてもよい。

【0029】図11には、上記データ保持モードを設定するための更に他の一実施例の動作タイミング図が示されている。この実施例では、上記同様なCB Rサイクルを実行し、RAS B信号をリセットさせるタイミングでWEB信号がロウレベルに維持されることを以てデータ保持モードに入るようにするものである。データ保持モードの解除は、図示されていないが、前記同様なダミーCB Rリフレッシュにより行うもの他、CAS B信号を

8

ロウレベルに維持させておいて、それをハイレベルにリセットしたタイミングでモードリセットを行い、前記のような一定時間T_n経過後に通常モードに入ることが許されるようにしてもよい。

【0030】図25には、この発明が適用されるダイナミック型RAMの一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、単結晶シリコンのような1個の半導体基板上において形成される。同図における各回路ブロックは、実際の半導体チップにおける幾何学的な配置に合わせて描かれている。以下の説明において、MOSFETは絶縁ゲート型電界効果トランジスタ(IGFET)の意味で用いている。

【0031】この実施例においては、メモリの大容量化に伴うチップサイズの大変による制御信号やメモリアレイ駆動信号といった各種配線長が長くされることによって動作速度も遅くされてしまうのを防ぐ等のために、RAMを構成するメモリアレイ部とそのアドレス選択等を行う周辺部との配置に次のような工夫が行われている。

【0032】同図において、チップの縦中央部と横中央部とから形作られる十文字エリアが設けられる。この十文字エリアには主に周辺回路が配置され、上記十文字エリアにより4分割されたエリアにはメモリアレイが配置される。すなわち、チップの縦方向と横方向の中央部に十文字状のエリアを設け、それにより4つに分割されたエリアにメモリアレイが形成される。特に制限されないが、上記4つのメモリアレイは、後述するようにそれぞれが約4Mビットの記憶容量を持つようにされる。これに応じて4つのメモリアレイ全体では、約16Mビットの大記憶容量を持つものとされる。1つのメモリマット1は、横方向にワード線が延長するよう配置され、縦方向に1対からなる平行に配置される相補データ線又はビット線が延長するよう配置される。

【0033】メモリマット1は、センスアンプ2を中心にして左右に1対が配置される。センスアンプ2は、左右に配置される1対のメモリマット1に対して共通に用いられるという、いわゆるシェアードセンスアンプ方式とされる。上記4つに分割されたメモリアレイのうち、中央部側にY選択回路5がそれぞれ設けられる。Y選択線はY選択回路5からそれに対応するメモリアレイの複数のメモリマット上を延長するよう延びて、各メモリマットのカラムスイッチ用MOSFETのゲートのスイッチ制御を行う。

【0034】上記チップの横方向の中央部のうち、右側の部分にはXアドレスバッファ、X冗長回路及びXアドレスドライバ(論理段)とからなるX系回路10と、RAS系制御信号回路11、WE系信号制御回路12及び基準電圧発生回路16がそれぞれ設けられる。上記基準電圧発生回路16はこのエリアの中央寄りに設けられ、

約5Vのような外部電源VCCを受けて内部回路に供給される約3.3Vのような電圧に対応した定電圧VLを形成する。

【0035】上記チップの横方向の中央部のうち、左側の部分にはYアドレスバッファ、Y冗長回路及びYアドレスドライバ（論理段）とからなるY系回路13と、CAS系制御信号回路14及びテスト回路15がそれぞれ設けられる。そのチップ中央部には、アドレスバッファやデコーダといったような周辺回路用の電源電圧VCLを形成する内部降圧回路17が設けられる。

【0036】上記のように、アドレスバッファとそれに対応したアドレス比較回路を含む冗長回路、制御クロック発生を行うCAS、RAS系制御信号回路等を一個所に集中配置すると、例えば配線チャンネルを挟んでクロック発生回路と他の回路を振り分けること、言い換えるならば上記配線チャンネルを共用化することによって高集積化が可能になるとともに、アドレスドライバ（論理段）等に最短で等距離で信号を伝えることができる。

【0037】RAS系制御回路11は、ロウアドレスストロブ信号RASBを受けてXアドレスバッファを活性化するために用いられる。Xアドレスバッファに取り込まれたアドレス信号はX系の冗長回路に供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路への切り換えることの有無が判定される。その結果と上記アドレス信号とは、X系のプリデコーダに供給される。ここで、プレコード信号が形成され、各メモリアレイに対応して設けられるXアドレスドライバを介して、前記のようなメモリマットに対応して設けられるそれぞれのXデコーダ3に供給される。

【0038】一方、上記RAS系の内部信号は、WE系のコントロール回路とCAS系のコントロール回路に供給される。例えば、RASB信号とCASB信号及びWEB信号との入力順序の判定から、自動リフレッシュモード（CBR）、テストモード（WCBR）及び前記説明したようなデータ保持モードを含む特殊モードの識別が行われる。テストモードのときには、テスト回路15が活性化され、そのとき供給される特定のアドレス信号に従いテストファンクションが設定される。

【0039】CAS系の制御回路14は、CASB信号を受けてY系の各種制御信号を形成するために用いられる。CASB信号のロウレベルへの変化に同期してYアドレスバッファに取り込まれたアドレス信号は、Y系の冗長回路に供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路への切り換える有無が判定される。その結果と上記アドレス信号は、Y系のプリデコーダに供給される。ここで、プレコード信号が形成される。このプリデコード信号は、4つからなる各メモリアレイに対応して設けられるYアドレスドライバを介して、それぞれのYデコーダに供給される。一方、上記CAS系制御回路14は、前記のようにRASB信号

とWEB信号とを受けてその入力順序の判定からテストモードを判定すると、隣接するテスト回路15を活性化させる。

【0040】上記チップの縦方向の中央部のうち、上側の部分にはこのエリアの中心軸に対して左右対称的に合計16個のメモリマットと8個のセンスアンプがそれぞれ配置される。そのうち、左右4組ずつのメモリマットとセンスアンプに対応して4個からなるメインアンプ7が設けられる。この他、この縦中央上部には、内部降圧電圧を受けてワード線選択用等の昇圧電圧発生回路21や、アドレス信号や制御信号等の入力信号に対応した入力パッドエリア9B及び9Cが設けられる。上記左右4組ずつに分割されてメモリブロックに対応して、センスアンプ2の動作電圧を形成する内部降圧回路8がそれぞれに設けられる。

【0041】この実施例では1つのブロックには8個のメモリマット1と4個のセンスアンプ2が配置され、上記縦軸を中心として左右対称的に合計16個のメモリマット1と8個のセンスアンプ2が割り当てられる。この構成では、4個からなる少ないメインアンプ7を用いつつ、各センスアンプ2からの増幅信号を短い信号伝搬経路によりメインアンプ7に伝えることができる。

【0042】上記チップの縦方向の中央部のうち、下側の部分にもこのエリアの中心軸に対して左右対称的に合計16個のメモリマットと8個のセンスアンプがそれぞれ配置される。そのうち、左右4組ずつのメモリマットとセンスアンプに対応して4個からなるメインアンプ7が設けられる。

【0043】この他、この縦中央下部には、内部降圧電圧を受けて基板に供給すべき負のバイアス電圧を形成する基板電圧発生回路18や、アドレス信号や制御信号等の入力信号に対応した入力パッドエリア9A及びデータ出力バッファ回路19及びデータ入力バッファ回路20が設けられる。

【0044】上記同様に左右4組ずつに分割されてメモリブロックに対応して、センスアンプ2の動作電圧を形成する内部降圧回路8がそれぞれに設けられる。これにより、上記同様に4個のような少ない数からなるメインアンプ7を用いつつ、各センスアンプ2からの増幅信号を短い信号伝搬経路によりメインアンプ7に伝えることができる。

【0045】同図では省略されているが、上記縦中央部の領域には上記のようなエリア9A～9Cの他にも、各種のボンディングパッドが配置される。これらのボンディングパッドの例としては外部電源供給用のパッドあり、入力のレベルマージンを大きくするため、言い換えるならば電源インピーダンスを低くするために回路の接地電位を供給するパッドは、合計で十数個と比較的多くほぼ一直線上に並んで配置される。

【0046】これらの接地電位用パッドは、公知のLO

C技術を利用して形成される縦方向に延びる接地電位用リードに接続される。これら接地用パッドのうち、ワード線のクリア、ワードドライバの非選択ワード線のカップリングによる浮き上がり防止用のために特に設けられるものや、センスアンプのコモンソース用として設けられるもの等のように主として電源インピーダンスを下げる目的で設けられる。これにより、回路の接地電位は内部回路の動作に対して電源インピーダンスが低くされ、かつ上記のごとく複数種類に分けられた内部回路間の接地配線が、LOCリードフレームとボンディングワイヤとからなるローパスフィルタで接続されることになるからノイズの発生を最小に抑えるとともに、内部回路間の回路接地線ノイズの伝搬も最小に抑えることができる。

【0047】この実施例では、約5Vのような外部電源VCCに対応したパッドは、上記電圧変換動作を行う内部降圧回路8及び17に対応してそれぞれ設けられる。これも上記同様に電源インピーダンスを低くするとともに、内部回路間の電圧(VCC、VDL及びVCC間)のノイズ伝播を低く抑えるためのものである。アドレス入力用のパッドA0～A11と、RASB、CASB、WEB及びOEBのような制御信号用のパッドは上記エリア9A～9Cに配置される。

【0048】この他にデータ入力用やデータ出力用のパッドやボンディングマスター用、モニタ用及びモニタ用パッド制御のために以下のパッドも設けられる。ボンディングマスター用としてはスタティックカラムモードを指定するためのもの、ニブルモード及び×4ビット構成時のライトマスク機能を指定するためのものがある。モニタ用としてはパッド各内部電圧VCL、VDL、VL、VBB、VCH及びVPLをモニタするためのものがある。

【0049】この内部電圧のうちVCLは、約3.3Vの周辺回路用電源電圧であり、内部降圧回路17により共通に形成される。VDLは約3.3Vのメモリアレイ、すなわち、センスアンプ2に供給される電源電圧であり、この実施例では上記のような4つのメモリブロックに対応して4個設けられる。VCHは上記内部電圧VDLを受けて約5.3Vに昇圧されたワード線の選択レベル、シェアードスイッチMOSFETを選択するブースト電源電圧である。VBBは-2Vのような基板バックバイアス電圧、VPLはメモリセルのプレート電圧、VLは約3.3Vの内部降圧回路8及び17に供給される定電圧である。

【0050】図12には、上記のようなDRAMのうちのデータ保持モードに関連する部分の一実施例のブロック図が示されている。データ保持モード判定回路は、例えばRASBとWEBとを受けて、データ保持モードと判定すると、基板バックバイアス電圧を形成するVBB発生回路、ワードブースト用の昇圧電圧を発生させるVCH発生回路、約3.3Vのような内部電圧を発生させ

る降圧回路、この降圧回路に基準電圧を供給するVref発生回路、マット選択信号発生回路、リフレッシュ周期を延長させるtref延長制御回路及びカラム系回路の動作をデータ保持モード用の動作に切り替える。

【0051】図13には、マット選択信号発生回路の一実施例の制御例を説明するためのブロック図が示されている。同図では、発明を理解を容易にするため、MAT0～MAT3からなる4マットの例が示されている。同図において、マットの中央に設けられる斜線を付した部分には、センスアンプが設けられる。また、図14の(A)と(B)には、マット選択信号発生回路の一実施例の論理図が示されている。

【0052】通常動作時には、4マットのうちアドレス信号A1とA1の2ビットで指定される1つのマットにのみが活性化される。すなわち、図14の(A)及び(B)に示されるように、アドレス信号A1とA1の組み合わせにより、ナンドゲート回路G2又はG4によって1つのマット選択信号MS1又はMS1が発生される。これにより、消費電流を1つのマットに集中できるから低消費電力化とセンスアンプの高速動作が可能になる。このようなマット選択動作はリフレッシュ動作においても同様である。

【0053】また、ディスタープテストのときにも、選択マット数を増加させることにより、テスト時間の短縮化を図ることができる。このようなディスタープテストのときには、消費電流そのものを低減させる必要がないから、後述するような低消費電力化のための内部回路の動作制限は行われない。

【0054】RASB信号とWEB信号との組み合わせにより、データ保持モードと判定されると、判定回路はデータ保持モードを指示する制御信号DRMを発生させる。この制御信号DRMにより、図14(A)の実施例では、アドレス信号A1が無効にされる。すなわち、アドレス信号A1と制御信号DRMはオアゲート回路G1を介してナンドゲート回路G2に入力される。それ故、制御信号DRMが論理1になると、アドレス信号A1が無効にされてアドレス信号A1により指定される2つのメモリマットが同時に選択状態にされる。

【0055】図14(B)の実施例では、制御信号DRMが論理0になると、インバータ回路によりノアゲート回路G3の制御入力論理1になって、アドレス信号A1を無効にする。これにより、他のアドレス信号A1がナンドゲート回路G4を通して出力され、これにより指定される2つのメモリマットが同時に選択状態にされる。

【0056】この実施例のようにデータ保持モードにおいてリフレッシュされるメモリマットの数を通常のリード/ライト及びリフレッシュ動作に比べて多くすることにより、リフレッシュ動作のための周辺回路の動作回数を減らして低消費電力化を図るものである。データ保持

モードでは、動作を速くする必要がないから、上記のようにメモリマット数が増加する分、センスアンプでの動作電流を減らしてセンスアンプ部分での消費電流の増加を制限するものである。これより、総合的にみた場合、データ保持モードにおけるリフレッシュ動作での電流消費を大幅に低減させることができる。また、上記のようなディスタープテストにあっては、同時に動作させられるメモリマットの数に対応してテスト時間の短縮化を図ることができる。

【0057】図15には、リフレッシュ周期を延長させる t_{ref} 延長制御回路の一実施例のブロック図が示されている。RASB信号とWEB信号との組み合わせにより、データ保持モードと判定されると、上記同様に判定回路はデータ保持モードを指示する制御信号DRMを発生させる。この制御信号DRMにより、発振回路OSCが活性化される。この発振回路の発振信号は分周回路より分周され、オアゲート回路G5を通してリフレッシュ周期を決めるパルスR0として出力される。すなわち、この信号R0はリフレッシュアドレスカウンタに入力され、この信号R0に同期してリフレッシュアドレスの更新が行われる。オアゲート回路G5の他方の入力には、RASB信号が入力される。これにより、通常のCBRリフレッシュモードでは、外部から入力されるRASB信号に同期してリフレッシュ周期が決められる。このようなリフレッシュ周期の延長により、データ保持モードでのリフレッシュ動作による消費電流を低減させるものである。

【0058】図16には、データ保持モードのときに動作が制限される残りの他の回路の一実施例のブロック図が示されている。この実施例では、降圧された内部電圧により形成された読み出し信号を電源電圧に対応した高電圧で出力させるための出力バッファ用内部昇圧回路、ワード線の選択電圧を高くするメモリアレイ用の内部昇圧回路、基板バイアス回路とハーフブリチャージ電圧発生回路が示されている。

【0059】出力バッファ用内部昇圧回路は、次の回路により構成される。発振回路OSC1は、CASB信号を受ける入力バッファCCBの出力信号、アドレスバッファABに含まれるアドレス変化検出パルス及び電圧検出回路VS1の出力信号を受けて発振動作が制御されるアクティブ発振回路である。昇圧回路BOOT1は、この発振出力とブートストラップ容量CB1を用いて昇圧電圧を発生して出力バッファOBに伝える。電圧検出回路VS1は、昇圧電圧を検出して昇圧電圧が所望の電圧に達すると、発振回路OSC1の動作を停止させて無駄な電流消費を抑えている。

【0060】発振回路OSC2は、定常的に動作して発振パルスを形成する。この発振パルスは、スイッチ回路DRSを介して昇圧回路BOOT2に供給される。昇圧回路BOOT2は、上記発振パルスを受けて定常的に昇

圧電圧を形成する。昇圧回路BOOT2は、出力バッファOBが非活性化状態のときに消費される電流を補うような小さな電流供給能力を持たない。これに対して、上記の昇圧回路BOOT1は、出力バッファOBが活性化されたときに消費される大きな電流を補うような大きな電流供給能力を持つようにされる。このような2つの昇圧回路BOOT1とBOOT2の組み合わせにより、出力バッファ用内部昇圧回路の消費電流を小さく抑えることができる。

【0061】この実施例では、データ保持モードでは、出力バッファOBが活性化されることが無いことに着目し、データ保持モード判定回路DRMにより形成された制御信号によって、発振回路OSC1及び電圧検出回路VS1の動作が停止させられる。このように発振回路OSC1や電圧検出回路VS1の動作も停止させるのは、データ保持モードでのリフレッシュ動作のときに、これらの回路が活性化されてしまうのを防ぐためである。これに対して発振回路OSC2により形成された発振パルスは、スイッチ回路DRSにより昇圧回路BOOT2への直接の供給が遮断され、それに代わってカウンタ回路COUNTに入力され、ここで分周動作が行われる。

【0062】このような分周により周期が長くされたパルスにより昇圧回路BOOT2が動作を行って昇圧出力電圧の維持を行う。これにより、昇圧回路での低消費電力化を図ることができる。このように内部回路を非活性化してしまうと、通常モードに切り替わったときに最初のメモリサイクルが不安定になる。そこで、前記のようなダミーCBRリフレッシュを実施することにより、上記大きな電流供給能力を持つ昇圧回路BOOT1が活性化されて、出力バッファOBの安定した動作に必要な昇圧電圧を得ることができる。

【0063】アレイ用内部昇圧回路は、次の回路により構成される。発振回路OSC3は、RASB信号を受ける入力バッファRCBの出力信号及び電圧検出回路VS2の出力信号を受けて発振動作が制御されるアクティブ発振回路である。昇圧回路BOOT4は、この発振出力とブートストラップ容量CB2を用いて昇圧電圧を発生してメモリアレイMARYにワード線選択電圧として伝える。電圧検出回路VS2は、昇圧電圧を検出して昇圧電圧が所望の電圧に達すると、発振回路OSC3の動作を停止させて無駄な電流消費を抑えている。

【0064】昇圧回路BOOT3は、上記の発振回路OSC2により形成される周期的なパルスをスイッチ回路DRSを通して受けて定常的に昇圧電圧を形成する。昇圧回路BOOT3は、メモリアレイMARYのワード線における定常的なレベル低下を補うような小さな電流供給能力を持たない。これに対して、昇圧回路BOOT4は、ワード線が選択状態に立ち上がるときに消費される大きな電流を補うような大きな電流供給能力を持つようにされる。このような2つの昇圧回路BOOT3とB

OOT4の組み合わせにより、アレイ用内部昇圧回路の消費電流を小さく抑えることができる。

【0065】この実施例では、データ保持モードでの昇圧回路での電流消費を次のようにして抑えるようにするものである。すなわち、データ保持モード判定回路DRMにより形成された制御信号によって、発振回路OSC3及び電圧検出回路VS2の動作が停止させられる。このように発振回路OSC3や電圧検出回路VS2の動作も停止させるのは、データ保持モードでのリフレッシュ動作のときに、これらの回路が活性化されてしまうのを防ぐためである。これに対して発振回路OSC2により形成された発振パルスは、上記同様にスイッチ回路DRSにより昇圧回路BOOT3への直接の供給が遮断され、それに代わってカウンタ回路COUNTに入力され、ここで分周動作が行われる。このような分周により周期が長くされたパルスにより昇圧回路BOOT3が動作を行って昇圧出力電圧の維持を行う。これにより、昇圧回路での低消費電力化を図ることができる。

【0066】このように内部回路を非活性化してしまうと、通常モードに切り替わったときに最初のメモリサイクルで十分な選択レベルが得られない等のように動作が不安定になる。そこで、前記のようなダミーCBRRリフレッシュを実施することにより、上記大きな電流供給能力を持つ昇圧回路BOOT4が活性化されて、メモリアレイのワード線選択動作に必要な昇圧電圧を得ることができる。

【0067】基板バイアス回路は、次の回路により構成される。発振回路OSC4は、RASB信号を受ける入力バッファRCBの出力信号及び電圧検出回路VS3の出力信号を受けて発振動作が制御されるアクティブ発振回路である。チャージポンプ回路ASBPは、この発振出力を受けて負極性の基板バックバイアス電圧を形成して基板SUBに伝える。電圧検出回路VS3は、バイアス電圧を検出してバイアス電圧が所望の電圧に達すると、発振回路OSC4の動作を停止させて無駄な電流消費を抑えている。

【0068】チャージポンプ回路SSBPは、上記の発振回路OSC2により形成されたパルスをスイッチ回路DRSを通して受けて定常的にバイアス電圧を形成する。このチャージポンプ回路SSBPは、基板に定常的に発生するリーク電流を補うような小さな電流供給能力を持たない。これに対して、チャージポンプ回路ASBPは、内部回路が動作したときに消費される大きな電流を補うような大きな電流供給能力を持つようにされる。このような2つのチャージポンプ回路ASBPとSSBPの組み合わせにより、基板バイアス回路での消費電流を小さく抑えることができる。

【0069】この実施例では、データ保持モードにおける基板バイアス回路の消費電流を次のようにして削減するものである。すなわち、データ保持モードでは、単に

メモリセルの情報記憶動作が確保されていればよく、基板にバックバイアス電圧の変動は余り問題にならない。そこで、データ保持モード判定回路DRMにより形成された制御信号によって、発振回路OSC4及び電圧検出回路VS3の動作が停止される。これに対して発振回路OSC2により形成された発振パルスは、上記同様にスイッチ回路DRSによりチャージポンプ回路SSBPへの直接の供給が遮断され、それに代わってカウンタ回路COUNTに入力され、ここで分周動作が行われる。

【0070】このような分周により周期が長くされたパルスによりチャージポンプ回路SSBPが動作を行って基板バイアス電圧のを行う。これにより、基板バイアス回路での低消費電力化を図ることができる。このように内部回路を実質的に非活性化してしまうと、通常モードに切り替わったときに最初のメモリサイクルで不安定になる。そこで、前記のようなダミーCBRRリフレッシュを実施することにより、上記大きな電流供給能力を持つチャージポンプ回路ASBPが活性化されて、直ちに必要な基板バイアス電圧を得ることができる。

【0071】ハープブリチャージ電圧発生回路HVCGは、非選択状態に置かれるデータ線対のハープブリチャージレベルがリーク電流によって低下するのを補うために設けられる。この電圧発生回路HVCGは、データ保持モードでは低消費電力化のために基準電圧を受ける増幅MOSFETが発振回路OSC2により形成された周期的なパルスにより間欠的に動作させるものである。すなわち、この電圧発生回路HVCGも、データ保持モードのときには、通常動作に比べて長い周期でリフレッシュ動作が実行されること、及びリフレッシュ動作ではセンスアンプが電流制限動作を受けながら比較的ゆっくりと増幅動作を行うのそれに対応して増幅MOSFETの動作も間欠的に行うようにするものである。

【0072】図17には、データ保持モード判定回路に含まれるリミッタ制御回路の一実施例の回路図が示されている。以下の説明において、各ゲート回路やMOSFET等のような各素子に付された回路記号が、一部重複するものがあるが、それぞれは各図毎に別個の回路機能を持つものであると理解されたい。

【0073】信号RELとHLEは、通常モードのときライトパルスWYPB、アドレス信号変化検出信号ATDB又はRASB信号の変化時に遅延回路DLTとナンドゲート回路G2により、遅延回路の遅延時間に対応した1ショットパルスに対応して発生される。これにより、リミッタ出力バッファとして、動作時に動作させるものと待機時として定常的に動作させるもの2つの回路により構成し、動作時に動作させるものを上記信号RELとHLEにより間欠的に活性化する。

【0074】このようなリミッタ制御回路に、データ保持モードの制御信号DRTをインバータ回路N2により反転した信号DRTBにより制御されるナンドゲート回

路G4、G5を加えて、上記信号WYPB、ATDB又はRASB信号の変化時に発生される1ショットパルスに無関係に信号RLEとHLEを強制的にロウレベルにするものである。これにより、データ保持モードにおいて、リフレッシュ動作等があってもリミッタ出力バッファの動作を強制的に停止させるものである。これらのリミッタ出力バッファについては、後に詳細に説明する。

【0075】図18には、メモリアレイ用のリミッタ出力バッファの一実施例の回路図が示されている。このリミッタ用出力バッファは、後述するリミッタ用基準電圧発生回路により形成された約3.3Vのような基準電圧VLを受け、それを電力増幅する増幅回路から構成される。すなわち、Nチャンネル型の差動MOSFETQ1とQ2と、ドレイン側に設けられる電流ミラー形態にされたPチャンネル型の負荷MOSFETQ3、Q4及び差動MOSFETQ1とQ2の共通ソースに設けられる動作電流源を構成するNチャンネル型MOSFETQ5からなる差動回路と、この差動回路の出力信号を受けるPチャンネル型の出力MOSFETQ6とにより増幅回路を構成する。この増幅回路の出力を反転入力であるMOSFETQ2のゲートに帰還させてボルテージフォロワ回路を構成し、基準電圧VLに対応した内部降圧電圧VCLを出力させるものである。なお、抵抗RとキャパシタCは、安定用の平滑回路である。

【0076】上記増幅回路は、信号RELによって間欠的に動作させるようにするため、動作電流を形成するMOSFETQ5のゲートには、信号RLEが供給される。また、出力MOSFETQ6のゲートとソース（電源電圧VCC）との間には、Pチャンネル型のスイッチMOSFETQ7が設けられ、上記制御信号RLEが供給される。これにより、信号RLEがロウレベルにされると、Nチャンネル型MOSFETQ5がオフ状態にされることにより、差動回路の増幅動作、言い換えるならば、電流消費が停止させられる。信号RLEのロウレベルに対応してPチャンネル型MOSFETQ7がオン状態となって出力MOSFETQ6をオフ状態にさせるものである。

【0077】図19には、リミッタ用基準電圧発生回路の一実施例の回路図が示されている。この回路は、MOSFETQ1～Q3及びインバータ回路N1とN2からなる起動回路と、MOSFETQ4～Q7及び抵抗R1、R2からなる定電流発生回路と、MOSFETQ8～Q11と抵抗R3、R4からなるVCC検出回路と、MOSFETQ12～Q17からなる定電圧発生回路から構成される。この実施例では、データ保持モードのときに、前記のように内部降圧回路（リミッタ回路）の動作を停止させることに対応して、リミッタ用基準電圧発生回路も動作停止させるものである。

【0078】このため、これらの回路に供給される電源供給線にPチャンネル型MOSFETQ18からなるバ

ワースイッチを設け、それを制御信号DRTによりスイッチ制御する。言いえるならば、データ保持モードに入ると、信号DRTのハイレベルによってPチャンネル型MOSFETQ18をオフ状態にし、上記の各回路からなるリミッタ用基準電圧発生回路に対する動作電圧VCCの供給を遮断させるものである。

【0079】図20には、周辺回路用のリミッタ出力バッファの一実施例の回路図が示されている。動作用のリミッタ用バッファは、前記図18と同様な回路から構成される。ただし、リミッタ出力バッファの動作が停止せられたとき、周辺回路の動作電圧を確保するために動作電圧VCCをそのまま内部回路に伝えるNチャンネル型のスイッチMOSFETQ8が追加される。このスイッチMOSFETQ8は、データ保持モードのときに発生される制御信号DRTのハイレベルによってオン状態となり、リミッタ出力バッファに代えて電源電圧VCCをそのまま伝える。実際には、信号DRTがVCCのようなハイレベルのときには、 $VCC - V_{th}$ のような電圧が周辺回路の動作電圧として供給される。ここで、 V_{th} はMOSFETQ8のしきい値電圧である。

【0080】周辺回路用のリミッタ出力バッファは、信号HLEによって動作が制御される。データ保持モードでは、前記のように信号HLEが強制的にロウレベルに固定されるので、動作用のリミッタ出力バッファはデータ保持モードの期間は一切動作しないようにされる。また、待機用のリミッタ出力バッファも、上記同様な差動回路と出力MOSFETから構成される。この待機用のリミッタ出力バッファも、データ保持モードのときには動作を停止させるようにするため、データ保持モードのときにロウレベルにされる信号DRTBを受けるPチャンネル型MOSFETが新たに追加され、これらのMOSFETのオン状態によって差動回路の出力は強制的に電源電圧VCCのようなハイレベルにされる。これにより、待機用のリミッタ出力バッファも強制的に動作が停止させられる。

【0081】図21には、周辺回路用のリミッタ出力バッファの他の一実施例の回路図が示されている。この実施例では、動作用のリミッタ出力バッファに、Pチャンネル型からなるスイッチMOSFETQ8を設け、反転の制御信号DRTBにより制御する。これにより、データ保持モードのときには、上記信号DRTBのロウレベルに応じてPチャンネル型MOSFETQ8がオン状態となり、電源電圧VCCがそのまま周辺回路に伝えられる。

【0082】図22には、リミッタ制御方法を説明するための一実施例の動作タイミング図が示されている。周辺回路の動作用リミッタ出力バッファは、通常動作モードのときにはRASクロックのセット及びリセット、言い換えるならば、ロウレベルへの立ち下がり時とハイレベルへの立ち上がり時にそれぞれ1パルスが発生される

19

ので、センスアンプの動作タイミングに同期してその都度活性化される。また、高速ページモードに対応するためアドレス信号の変化に対応したATDパルス及び書き込み用のWYPパルスにも同期して活性化される。

【0083】これに対して、データ保持モードに入ると、基準電圧発生回路及び周辺回路の特機用のリミッタ出力バッファを含むすべてのリミッタ出力バッファが停止させられる。このようなりミッタ出力バッファの停止に代え、外部電圧VCCがNチャンネル型MOSFET又はPチャンネル型MOSFETのスイッチを介してそのまゝ供給される。この場合、内部電圧の供給源としては非常に電源インピーダンスが高くなるため、電圧はある程度不安定になるが、降圧回路での消費電流が零になるため、データ保持モードには向いている。このデータ保持モードでは、チップ内部で発生させられる長い周期でリフレッシュ動作のみを行うものであるため、上記のような電源インピーダンスが高くされることによる内部電圧の変動がアクセス時間へ悪影響を与える等の心配はない。

【0084】図23には、前記図16のスイッチ回路DRSの一実施例の回路図が示されている。発振回路の出力(Standby OSC)と制御信号(Data Retention)はナンドゲート回路に入力される。このナンドゲート回路の出力信号がカウンタ(Counter)やハーフブリチャージ電圧発生回路(Half VCC Generator)に供給される。上記発振回路の出力(Standby OSC)と制御信号(Data Retention)はノアゲート回路に入力される。このノアゲート回路の出力信号は、制御信号(Data Retention)によってスイッチ制御されるCMOSスイッチ回路を通して特機用昇圧回路(Standby 40
Booster)に供給される。

【0085】データ保持モードでは、制御信号(Data Retention)はハイレベルにされる。これにより、CMOSスイッチ回路がオフ状態となり出力がハイインピーダンス状態にされる。そして、ナンドゲート回路がゲートを開いて発振パルスをカウンタ回路及びハーフブリチャージ回路に伝える。これにより、前記のような特機用の昇圧回路やチャージポンプ回路は、カウンタ回路により分周されたパルスにより動作させられて低消費電力モードに入る。これに対して、通常モードでは、制御信号(Data Retention)のロウレベルに応じて、ノアゲート回路を通して発振パルスが出力されるとともに、CMOSスイッチ回路がオン状態になって発振パルスが特機用の昇圧回路等に入力される。このとき、ナンドゲート回路の出力はハイレベルに固定され、カウンタ回路の動作が停止させられるとともに、ハーフブリチャージ回路の増幅回路が活性化される。

【0086】図24には、ハーフブリチャージ電圧発生回路HVCGの一実施例の回路図が示されている。この回路は、キャパシタC1とC2からなる分圧回路によ

20

て、VCL/2のような基準電圧を発生させる。この電圧を受けるPチャンネル型MOSFETQ1とNチャンネル型MOSFETQ2からなる増幅回路に供給して電力増幅するものである。この増幅回路は、入力と出力が共通接続されることによって負帰還が行われている。データ保持モードでは、発振パルスによりスイッチMOSFETQ3とQ4を設け、間欠的に動作させて直流電流の低減させるものである。

【0087】この実施例では、データ保持モードでは、上記増幅回路の間欠的な動作を行うためにスイッチ回路DRSを通して発振回路OSCの発振パルスがスイッチMOSFETQ3とQ4のゲートに供給される。上記スイッチ回路DRSは、制御信号DRTによって制御され、データ保持モードのときには、信号DRTのハイレベルにより、前記のように発振パルスを供給し、通常モードではハイレベルを出力させるものである。

【0088】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) メモリセルの情報保持動作が維持できる範囲で降圧電圧や昇圧電圧及び基板電圧等の電圧発生回路の電流供給機能を制限することにより低消費電力のデータ保持モードを実現できるという効果が得られる。

【0089】(2) 通常のリード/ライトモード及びリフレッシュモードのときに選択されるメモリマツト数に対して選択マツト数が多くしてリフレッシュ動作を行うことによりリフレッシュ動作のために動作させられる周辺回路の動作回数を減らすことができるから、低消費電力のデータ保持モードを実現できるという効果が得られる。

【0090】(3) 上記(1)及び/又は(2)のようにDRAMに設けられる特殊モードとしてデータ保持動作に悪影響を及ぼさない内部回路の動作を停止させて低消費電力とするデータ保持モードを付加することにより、スタティック型RAMのようなハッチャーバックアップによるメモリの不揮発化や電池駆動されるデータ処理装置等のようにDRAMの用途の一層の拡大を図ることができるという効果が得られる。

【0091】(4) 通常のリード/ライトモード及びリフレッシュモードのときに選択されるメモリマツト数に対して選択マツト数が多くしてディスタープテストを行うことによりテスト時間の短縮化を図ることができるという効果が得られる。

【0092】(5) 上記データ保持モード及びディスタープテストのような特殊モードの解除方法として、ダミーのCBRリフレッシュを用いることにより、記憶データを破壊する等の悪影響を考慮することなく内部回路を通常状態に初期化することができるという効果が得られる。

【0093】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限

定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、データ保持モードにおける内部回路の非活性化は、DRAMの内部構成に応じて種々の実施形態を探ることができる。また、特殊モードは、データ保持モードに加えて複数種類とするものであってもよい。DRAM全体のレイアウトは、前記図25に示したような構成の他、メモリのマツト構成及びその周辺回路の配置は種々の実施形態を探ることができる。この発明は、ダイナミック型RAMに広く利用できるものである。

【0094】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、メモリセルの情報保持動作が維持できる範囲で降圧電圧や昇圧電圧及び基板電圧等の電圧発生回路の電流供給機能を制限すること及び／又は通常のリード／ライトモード及びリフレッシュモードのときに選択されるメモリマツト数に対して選択マツト数が多くすることにより、周辺回路の消費電流そのもの及び周辺回路の動作回数を実質的に減らせることから低消費電力化を実現できる。

【図面の簡単な説明】

【図1】この発明に係るDRAMの一実施例を示す機能ブロック図である。

【図2】この発明に係るデータ保持モードを設定するための一実施例を示す動作タイミング図である。

【図3】この発明に係るデータ保持モードを設定するための他の一実施例を示す動作タイミング図である。

【図4】この発明に係るデータ保持モードを設定するための他の一実施例を示す動作タイミング図である。

【図5】この発明に係るデータ保持モードを設定するための他の一実施例を示す動作タイミング図である。

【図6】この発明に係るデータ保持モードを設定するための他の一実施例を示す動作タイミング図である。

【図7】この発明に係るデータ保持モードを設定するための他の一実施例を示す動作タイミング図である。

【図8】この発明に係るデータ保持モードを設定するための他の一実施例を示す動作タイミング図である。

【図9】この発明に係るデータ保持モードを設定するための他の一実施例を示す動作タイミング図である。

【図10】この発明に係るデータ保持モードを設定するための他の一実施例を示す動作タイミング図である。

【図11】この発明に係るデータ保持モードを設定するための更に他の一実施例を示す動作タイミング図である。

【図12】この発明が適用されるDRAMのうちデータ保持モードに関連する一実施例を示すブロック図である。

【図13】この発明が適用されるDRAMのうちマツト選択信号発生回路の一実施例の制御例を説明するための

ブロック図である。

【図14】マツト選択信号発生回路の一実施例を示す論理図である。

【図15】この発明が適用されるDRAMのうちリフレッシュ周期を延長させるt_{ref}延長制御回路の一実施例を示すブロック図である。

【図16】この発明が適用されるDRAMのうちデータ保持モードのときに動作が制限される残りの他の回路の一実施例を示すブロック図である。

10 【図17】データ保持モード判定回路に含まれるリミッタ制御回路の一実施例を示す回路図である。

【図18】メモリアレイ用のリミッタ出力バッファの一実施例を示す回路図である。

【図19】リミッタ用基準電圧発生回路の一実施例を示す回路図である。

【図20】周辺回路用のリミッタ出力バッファの一実施例を示す回路図である。

【図21】周辺回路用のリミッタ出力バッファの他の一実施例を示す回路図である。

20 【図22】リミッタ制御方法を説明するための一実施例を示す動作タイミング図である。

【図23】図16のスイッチ回路DRSの一実施例を示す回路図である。

【図24】図16のハーフブリッジ電圧発生回路HVCGの一実施例を示す回路図である。

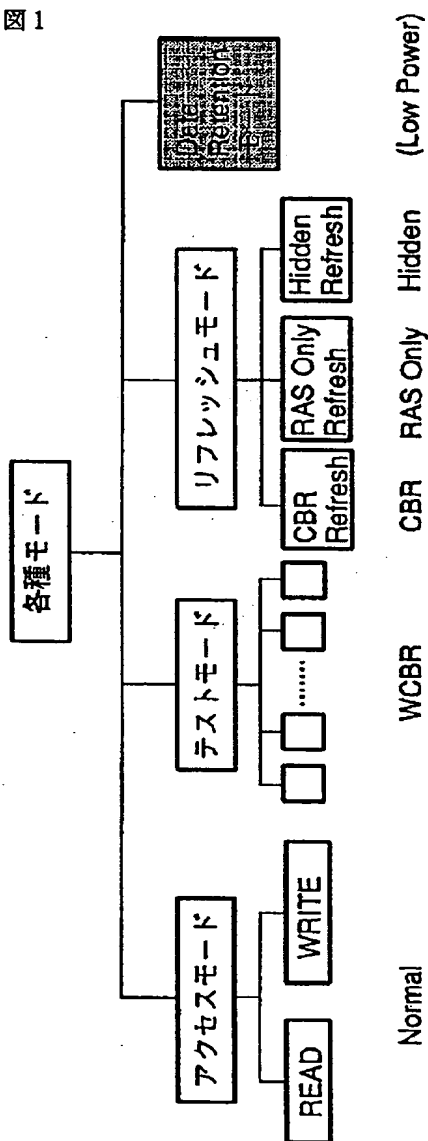
【図25】この発明が適用されるダイナミック型RAMの一実施例を示すブロック図である。

【符号の説明】

30 MAT0~MAT3...メモリマツト、OSC、OSCI~OSC4...発振回路、RCB、CCB...入力バッファ、AB...アドレスバッファ、BOOT1~BOOT4...昇圧回路、CB1、CB2...ブートストラップ容量、OB...出力バッファ、VS1~VS3...電圧検出回路、COUNT...カウンタ回路、DRS...スイッチ回路、HVCG...ハーフブリッジ電圧発生回路、MARY...メモリアレイ、ASBP、SSBP...チャージポンプ回路、SUB...基板、G1~G5...ゲート回路、N1~N5...インバータ回路、DLY...遅延回路、Q1~Q18...MOSFET、R、R1~R4...抵抗、C、C1、C2...キャパシタ、1...メモリマツト、2...センスアンプ、3...Xデコード、4...マツト制御信号発生回路、5...Y選択回路、6...ワードクリア回路、7...メインアンプ、8...内部降圧回路(センスアンプ用)、9A~9C...入力パッドエリア、10...X系回路と、11...RAS系制御信号回路、12...WE系信号制御回路、13...Y系回路、14...CAS系制御信号回路、15...テスト回路、16...基準電圧発生回路、17...内部降圧回路、18...基板電圧発生回路、19...データ出力バッファ回路、20...データ入力バッファ回路、21...昇圧電圧発生回路。

【図1】

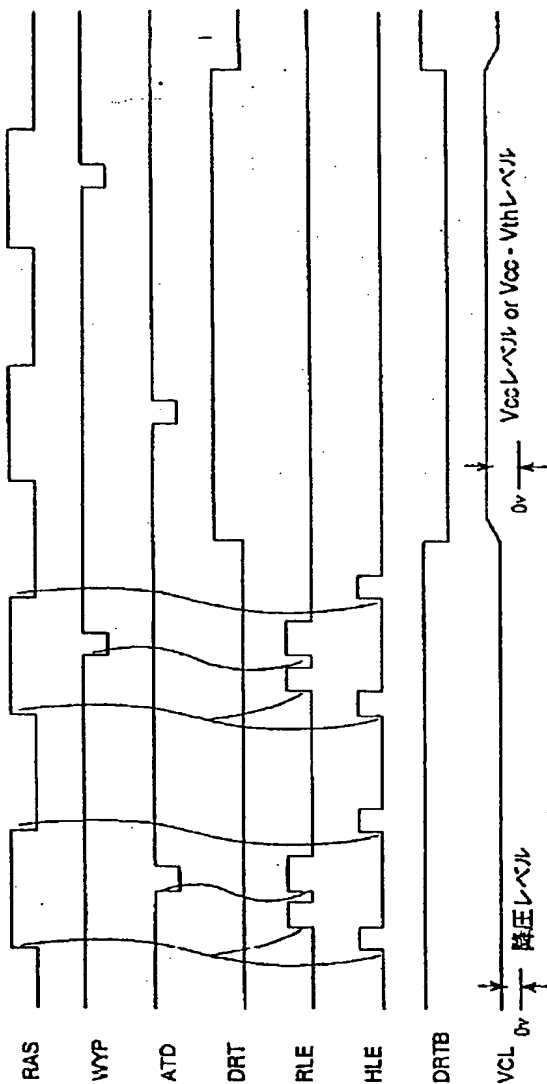
図1



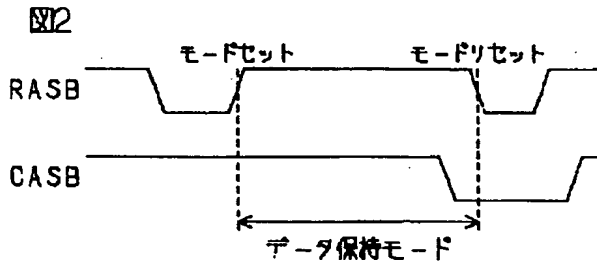
DRAMの動作モード

【図22】

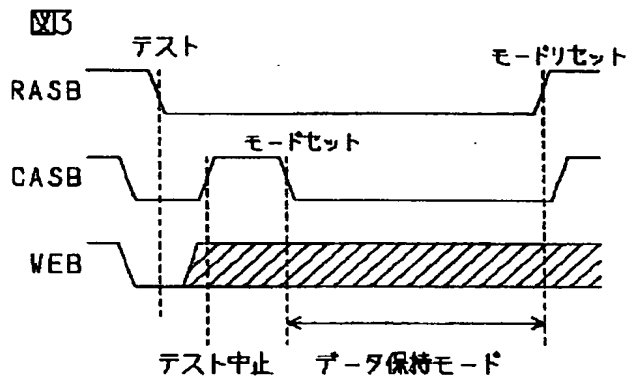
図22



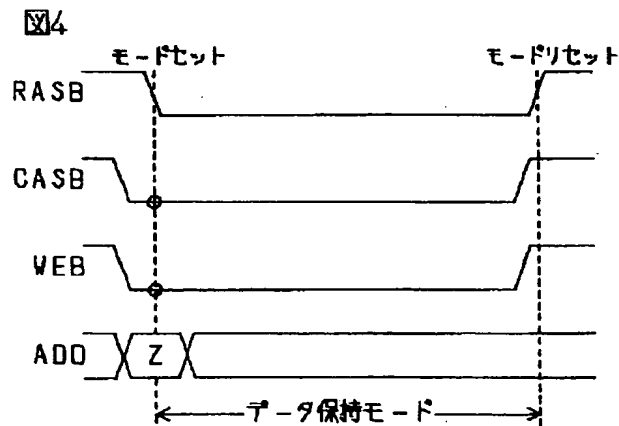
【図2】



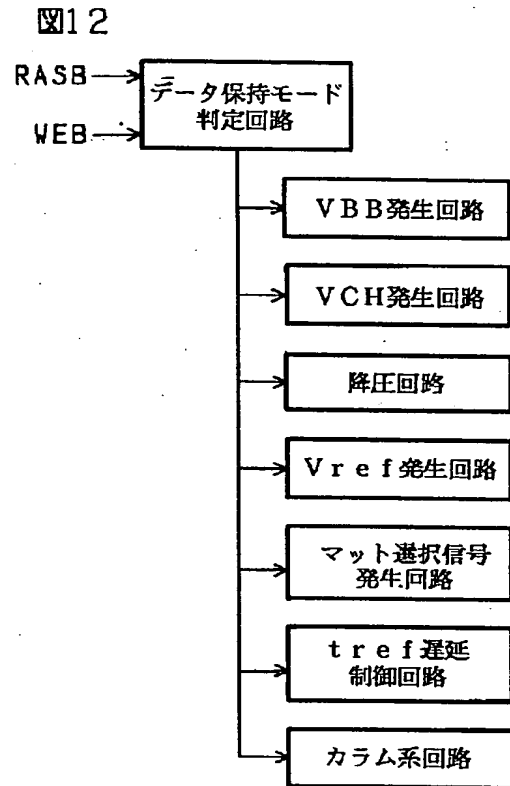
【図3】



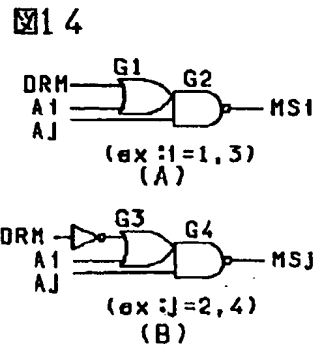
【図4】



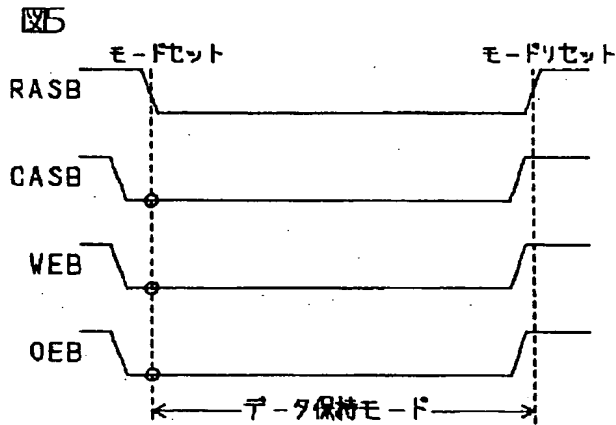
【図12】



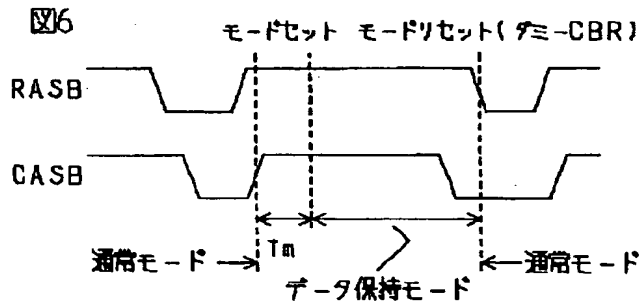
【図14】



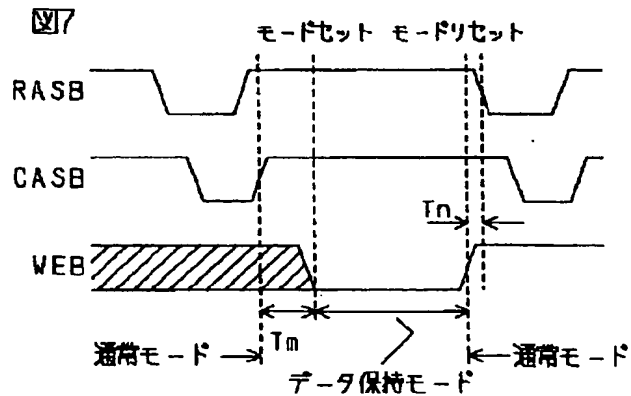
【図5】



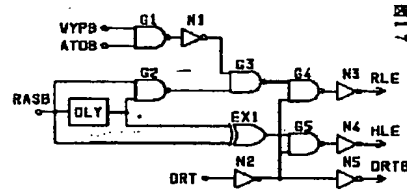
【図6】



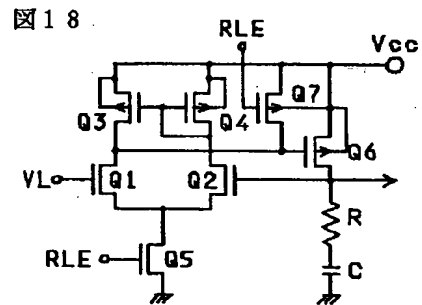
【図7】



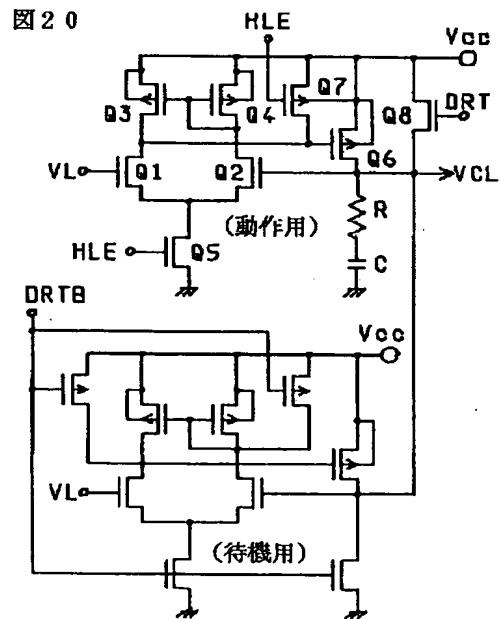
【図17】



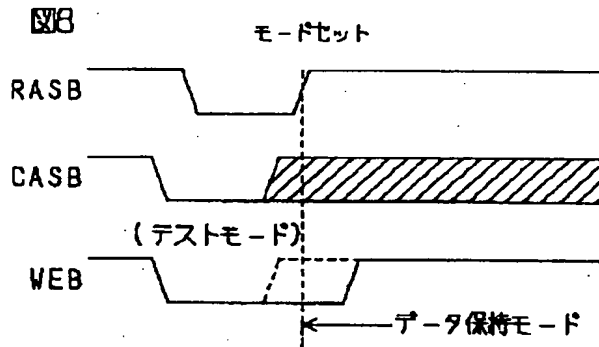
【図18】



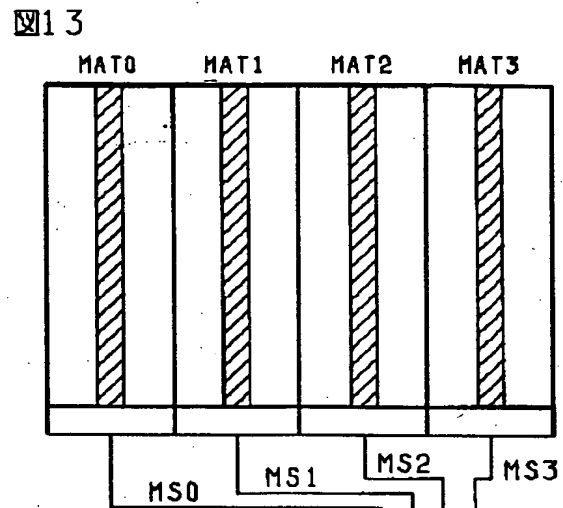
【図20】



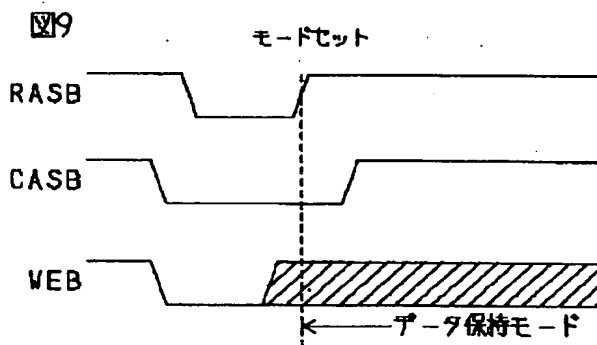
【図8】



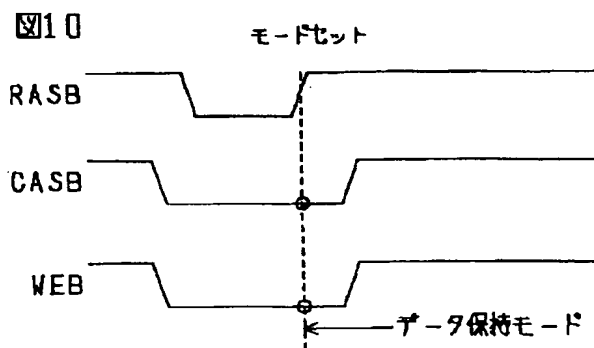
【図13】



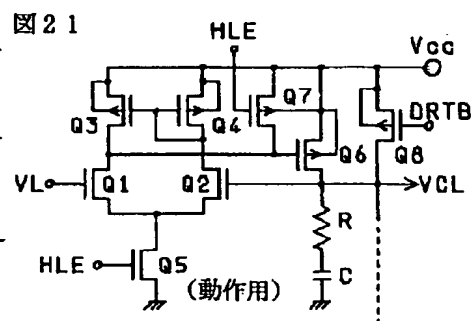
【図9】



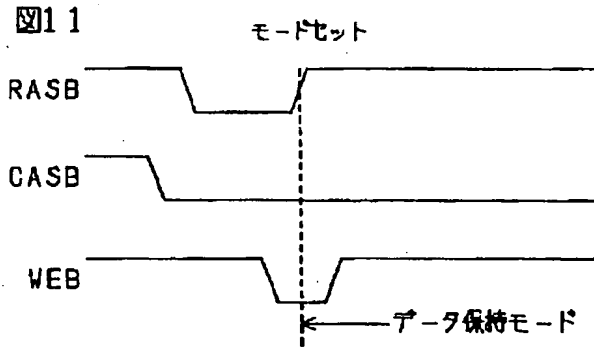
【図10】



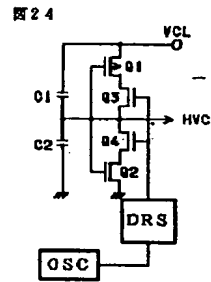
【図21】



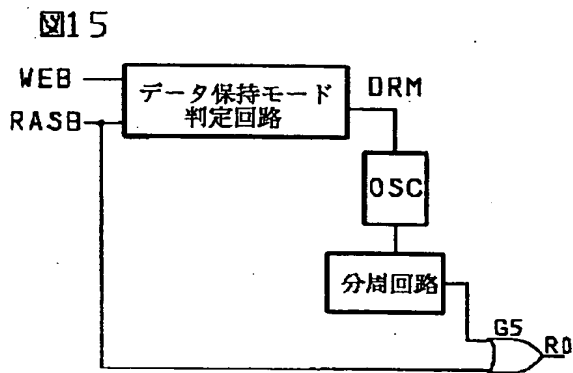
【図11】



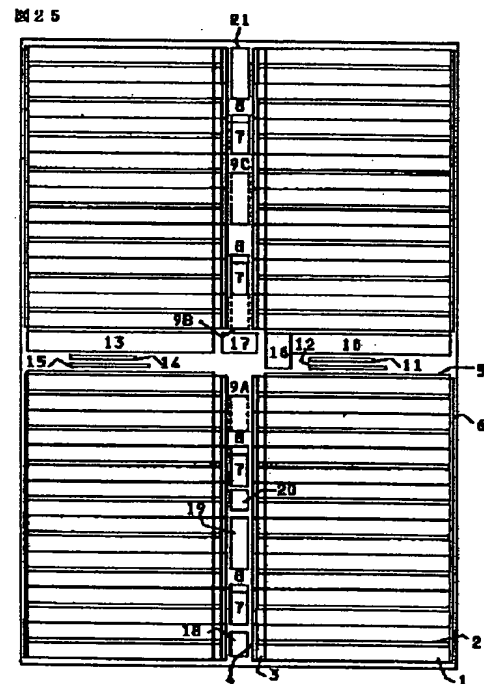
【図24】



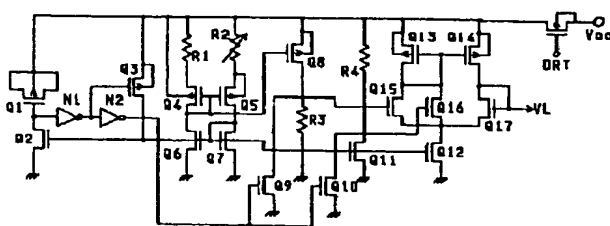
【図15】



【図25】

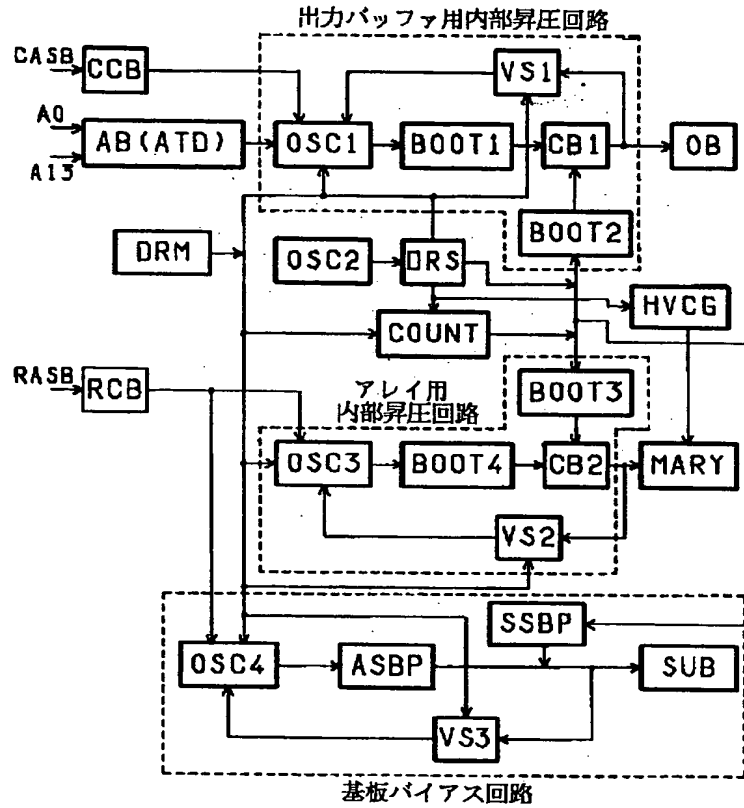


【図19】



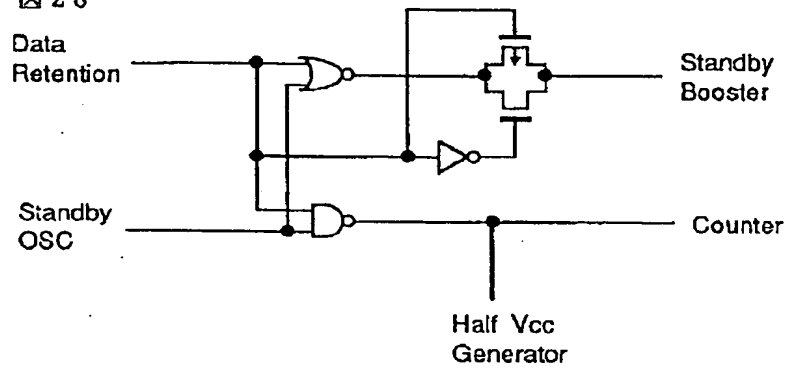
【図16】

図16



【図23】

図23



フロントページの続き

(72)発明者 迫村 茂俊
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 岩井 秀俊
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 作田 俊之
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 伊藤 豊
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 伊藤 和弥
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 石原 政道
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内